

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-156423

(43)Date of publication of application : 06.06.2000

(51)Int.Cl.

H01L 21/8247
H01L 29/788
H01L 29/792
H01L 27/115
H01L 27/10

(21)Application number : 11-320863

(22)Date of filing : 11.11.1999

(71)Applicant : INTERNATL BUSINESS MACH CORP <IBM>

(72)Inventor : DONALD STIMSON BECHUUN
SANDIPU TIWARI

(30)Priority

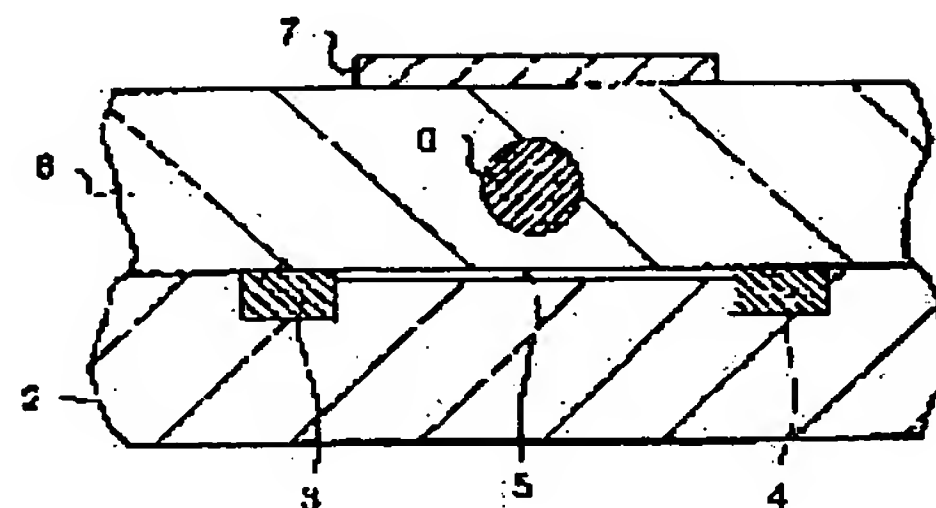
Priority number : 98 195083 Priority date : 18.11.1998 Priority country : US

(54) MICROMINIATURE ELECTRONIC ELEMENT INCLUDING FIELD EFFECT TRANSISTOR

(57)Abstract:

PROBLEM TO BE SOLVED: To avoid fluctuation in a Coulomb barrier by applying a voltage between a source/drain region and a gate and receiving one electron from the source/drain region or a channel region for accumulating for the cage molecule of an insulation material layer.

SOLUTION: A channel region 5 is formed on the surface of a substrate 2 consisting of such semiconductor material as silicon and germanium, and a source region 3 and a drain region 4 that are separated by the channel region 5 are formed. Then, an insulation material layer 6 is overlapped onto the channel region 5, the insulation material of the insulation material layer 6 has one cage molecule 8 with a closed hollow shell, and the cage molecule 8 applies a voltage among the source region 3, the drain region 4, and a gate 7 on the insulation material layer 6, and receives one electron from the source region 3, the drain region 4, or the channel region 5 for accumulating.



LEGAL STATUS

[Date of request for examination] 22.12.1999
[Date of sending the examiner's decision of rejection] 07.01.2003
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection] 2003-04361
[Date of requesting appeal against examiner's decision of rejection] 17.03.2003
[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2000-156423
(P2000-156423A)

(43)公開日 平成12年6月6日(2000.6.6)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
H 0 1 L 21/8247		H 0 1 L 29/78	3 7 1
29/788		27/10	4 5 1
29/792			4 3 4
27/115			
27/10	4 5 1		

審査請求 有 請求項の数12 O L (全 10 頁)

(21)出願番号 特願平11-320863

(22)出願日 平成11年11月11日(1999. 11. 11)

(31)優先権主張番号 0 9 / 1 9 5 0 8 3

(32)優先日 平成10年11月18日(1998. 11. 18)

(33)優先権主張国 米国 (US)

(71)出願人 390009531
インターナショナル・ビジネス・マシーンズ・コーポレーション
INTERNATIONAL BUSIN
ESS MASCHINES CORPO
RATION
アメリカ合衆国10504、ニューヨーク州
アーモンク (番地なし)

(72)発明者 ドナルド・スティムソン・ベチューン
アメリカ合衆国95120 カリフォルニア州
サンノゼ モンテラーノ・ドライブ 1555

(74)代理人 100086243
弁理士 坂口 博 (外1名)

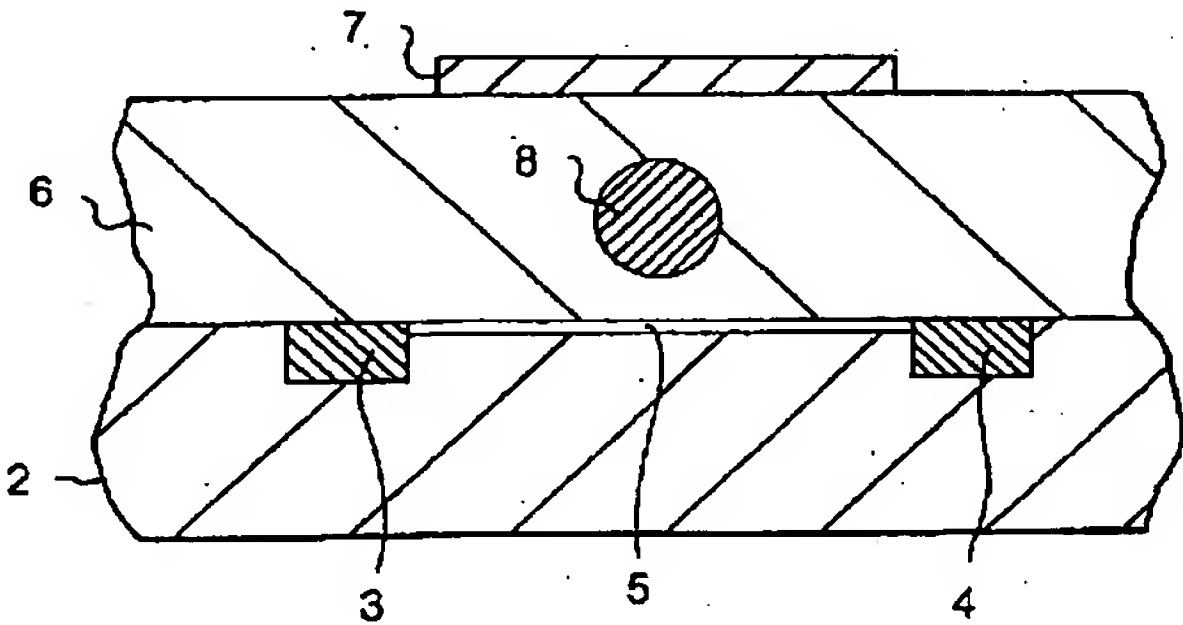
最終頁に続く

(54)【発明の名称】 電界効果トランジスタを含む超小型電子素子

(57)【要約】

【課題】 超小型電子素子、特に、閉ケージ構造物を利用する電界効果トランジスタ (F E T) を提供する。

【解決手段】 チャネル領域によって分離されたソース領域とドレイン領域を有する基板と、前記チャネル領域の上に重なる絶縁材料層と、前記絶縁材料層の上に重なるゲートとを備える電界効果トランジスタを含む超小型電子素子であって、前記絶縁材料が、閉じた中空シェルを有する少なくとも1つのケージ分子を含み、前記ケージ分子が、実質上、電子を伝導し、クーロン障壁を示すと共に、前記ソース領域と前記ドレイン領域とゲートの間にクーロン障壁を克服するのに十分な電圧が印加されたときに、ソース領域、ドレイン領域またはチャネル領域から少なくとも1つの電子を受け取って蓄積することのできる炭素原子またはシリコン原子からなる、超小型電子素子。



(2) 000-156423 (P2000-23)

【特許請求の範囲】

【請求項1】チャネル領域によって分離されたソース領域とドレイン領域を有する基板と、前記チャネル領域の上に重なる絶縁材料層と、前記絶縁材料層の上に重なるゲートとを備える電界効果トランジスタを含む超小型電子素子であって、前記絶縁材料が、閉じた中空シェルを有する少なくとも1つのケージ分子を含み、前記ケージ分子が、実質上、電子を伝導し、クーロン障壁を示すと共に、前記ソース領域と前記ドレイン領域とゲートの間にクーロン障壁を克服するのに十分な電圧が印加されたときに、ソース領域、ドレイン領域またはチャネル領域から少なくとも1つの電子を受け取って蓄積することのできる炭素原子またはシリコン原子からなる、超小型電子素子。

【請求項2】前記ケージ分子が、フラーレン類または対応するシリコン分子である請求項1に記載の超小型電子素子。

【請求項3】前記閉ケージ分子のサイズが0.4～約100nmの範囲である請求項1に記載の超小型電子素子。

【請求項4】前記フラーレン類が、フラーレン、フラーレンオキサイド、フラーレンの金属エンドヘドラル、フラーロピロリジン、メタノフラーレン、多壁または単壁炭素ナノチューブ、フラーレノール、オニオン、またはドーブしたナノチューブである請求項2に記載の超小型電子素子。

【請求項5】前記閉ケージ分子が、1～6個の電子を蓄積することができるフラーレンである請求項2に記載の超小型電子素子。

【請求項6】前記閉ケージ分子が、 Si_{28} 、 C_{60} または C_{70} である請求項2に記載の超小型電子素子。

【請求項7】約0.4～約100nmの寸法の凹部を含むチャネル領域によって分離されたソース領域とドレイン領域を有する基板と、前記チャネル領域の上に重なる絶縁材料層と、前記絶縁材料の上に重なるゲートとを含むトランジスタを含む超小型電子素子であって、前記チャネルが、閉中空ケージ構造を有し、前記閉ケージの分子が、実質上、電子を伝導し、クーロン遮断を示すと共に、前記ソース領域と前記ドレイン領域の間に電圧が印加されたときに、ソース領域またはドレイン領域から少なくとも1つの電子を受け取って送る機能を有する炭素原子またはシリコン原子からなり、前記閉ケージ分子が、前記凹部内にはまるのに十分なサイズであり、ソース領域とドレイン領域の間に前記クーロン障壁を克服する十分な電圧を印加したときに電子を送ることができるようにゲート、前記ソース領域およびドレイン領域と電気接触する超小型電子素子。

【請求項8】前記ケージ分子が、フラーレン類または対応するシリコン分子である請求項7に記載の超小型電子素子。

【請求項9】前記ケージ分子が、 C_{60} 、 C_{70} または Si_{28} である請求項7に記載の超小型電子素子。

【請求項10】凹部を含むチャネルによって分離されたソース領域とドレイン領域を含む第1の層を有する基板と、ゲートを含む第2の層と、前記第1と第2の層の間に挟まれ絶縁材料からなる第3の層とを含むトランジスタを含む超小型電子素子であって、前記チャネルが、閉中空ケージ構造を有する分子を含み、前記閉中空ケージ分子が、炭素原子またはシリコン原子からなり、電子を伝導し、クーロン遮断を示すと共に、前記ソース領域とドレイン領域の間に電圧が印加されたときに、ソース領域またはドレイン領域から少なくとも1つの電子を受け取って送る機能を有し、前記閉ケージ分子が、前記チャネルの前記凹部内にはまるのに十分なサイズであり、ソース領域とドレイン領域の間に前記クーロン障壁を克服するのに十分な電圧が印加されたときに電子を送ることができるように、ゲート、前記ソース領域およびドレイン領域と電氣的に接触し、前記電子の伝導が、前記ゲートによって調整される超小型電子素子。

【請求項11】前記ケージ分子が、フラーレン類または対応するシリコン分子である請求項10に記載の超小型電子素子。

【請求項12】前記ケージ分子が、 C_{60} 、 C_{70} または Si_{28} である請求項10に記載の超小型電子素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、超小型電子素子、特に、論理セルとメモリ・セルにおける電子の輸送と蓄積のために閉ケージ構造(closed cage structures)またはその誘導体あるいはその両方を利用する電界効果トランジスタ(FET)に関する。

【0002】

【従来の技術】電界効果トランジスタ、特に金属酸化膜半導体電界効果トランジスタ(MOSFET)などの超小型電子トランジスタを、その理論的に予測される小型化の限界まで小型化し縮小するのは簡単なことではない。性能を高め単位面積当たりの機能を高めるために素子のサイズを縮小するとき、適切に機能する素子を得るのに多くの基本的な問題が生じる。たとえば、素子サイズが100nmレンジの寸法に近づくとき、今日では一般的な高集積回路に必要な特性を達成するのに多くの問題が生じる。論理素子の場合、そのような問題には、しきい値以下での伝導効果、出力コンダクタンスおよび素子の電力利得がある。ダイナミック・ランダム・アクセス・メモリ(DRAM)などの揮発性メモリ、および電氣的消去可能なプログラマブル・ランダム・アクセス・メモリ素子(EEPROMとFLASH)などの不揮発性メモリ素子の場合、しきい値以下での伝導があり、蓄積電荷の漏れやはっきりしたしきい値の喪失をもたらす。

(3) 000-156423 (P2000-5. 横

【0003】最近、低キャパシタンスにおける静電エネルギーが大きくて単独電子に見られるクーロン障壁をもたらし、かつ占有状態が不連続性であるため、シリコンからなるナノクリスタル (nanocrystal) がメモリ要素に有用であることが開示された (チワリ (Tiwari) らによる App. Phys. Letter 1996、68、No. 10、1377~1379 を参照されたい)。また、クーロン障壁を使用して、論理機構における諸機能を得るために小領域を通る電子の流れを利用した単独電子トランジスタ構造を作成することができる。ナノクリスタルは、トランジスタのメモリを縮小する課題に対する魅力的な解決策であるが、付随する問題もある。たとえば、ナノクリスタルはサイズが変動し、ナノクリスタルのサイズの変動がクーロン障壁に影響を与えてその変動をもたらし、それにより、電子の注入が制限され、電子の注入が行われる電圧が制限されることが分かった。また、固有状態のエネルギー準位 (ナノクリスタルのエネルギー準位) もナノクリスタルのサイズの影響を受けるため、さらに別の変動が生じることがある。この問題は、ナノクリスタルに見られる統計的変動効果を抑えるために多数のナノクリスタル (たとえば、少なくとも100を超える) を使用すると最小限に抑えられるが、この解決方法も、作成できる最小サイズの素子を制限する。

【0004】したがって、さらに縮小を可能にしかつ先に論じた変動効果をなくすナノクリスタル以外の成分を利用した改良手段を求めて研究が続けられてきた。

【0005】この成分は、ある一定の基準を満たす必要があることは明らかである。たとえば、半導体素子内に配置されたときにクーロン遮断を示すことができなければならない。

【0006】クーロン遮断は、きわめて小さい寸法で発生する現象であり、空間内の制限された領域のキャパシタンスを下げるには、かなり大きい静電エネルギー ($e^2/2c$) が必要になる。ここで、 e は電子電荷であり、 c は、キャパシタンスである。これは電子を注入できる前に静電気障壁を有することと等価である。換言すると、電子がトラップされ、すなわちその効果によって電子の流れが遮断される。その中心概念は、電子が粒子を充電できるまで電流が流れないことである。電子が流れるためには、電子が、ある材料から別の材料に移動しなければならない。これは、エネルギーを必要とする。材料上に電子を配置するために必要なエネルギーは、次の方程式で記述される。

【数1】

$$E = \frac{1}{2} \frac{e^2}{c}$$

【0007】ここで、 E は、材料上に電子を配置するのに必要な静電エネルギーであり、 c は、材料のキャパシ

タンスであり、 e は、電子電荷である。したがって、この方程式からはっきり分かるように、キャパシタのサイズが小さくなるほど、キャパシタンスも減少し、上に電子を配置するのに必要なエネルギーが増え、したがってクーロン遮断効果が大きくなる。したがって、キャパシタに使用される成分は、この特性を示さなければならない。実際に、この成分は、ナノメートル単位のサイズまたは直径を有することが望ましい。さらに、この成分のサイズは、再現性があるが可変であってはならず、それにより、ナノクリスタルに見られるようなサイズの変動によるクーロン障壁内の変動が回避される。

【0008】さらに、その成分は、寸法と電気特性が制御されたきわめて再現性の高い構造を有することが好ましい。さらに、その成分は、再現可能な電子の受領および輸送特性を持たなければならない。最後に、電気導電性を示し、特に温度が変化している間に安定していなければならない。

【0009】本発明者は、これらの要件を満たす分子状成分を発見した。そのような分子は、閉ケージ構造を有し、たとえばフラーレン類 (fullerene) とその誘導体、および Si_{28} などの対応するシリコン分子である。

【0010】

【発明が解決しようとする課題】本発明の目的は、閉ケージ構造物を利用する改良された電界効果トランジスタ (FET) を提供することである。

【0011】

【課題を解決するための手段】したがって、本発明は、閉ケージ分子を使用する超小型電子素子を対象とする。そのような分子は、サイズが数ナノメートルである。すなわち、分子が特定のサイズを有する。より具体的には、本発明は、以下のものを含む電界効果トランジスタを含む超小型電子素子を対象とする。

(a) ソースとドレイン。このソースとドレインは、第1のタイプの不純物がドーピングされた半導体材料からなる。

(b) 前記ソースとドレインの間に延びその間に配置されたチャネル。前記チャネルは、第2のタイプの不純物がドーピングされた前記半導体材料からなる。

(c) 前記チャネル領域の上に重ねられた絶縁層。前記絶縁層は、絶縁材料と、閉ケージ構造を有する少なくとも1つの分子からなり、前記分子は、クーロン遮断特性を示し、前記ソースとドレインの間またはチャネルとゲートの間にクーロン障壁を克服するのに十分な電圧が印加されたときに、ソース、ドレインまたはチャネルから出る少なくとも1つの電子を受け取って蓄積することができる。

(d) 絶縁層の上のゲートを含む第3の層。

【0012】本発明のもう1つの実施形態は、第1のタイプの不純物がドーピングされた半導体材料のソースおよびドレイン、第2のタイプの不純物がドーピングされた前記半

(4) 000-156423 (P2000-k23)

導体材料を含む基板、絶縁層、およびゲートを含む超小型電子素子を対象とし、基板は、閉ケージ構造を持つ分子の幅または長さとはほぼ等しい凹部を有し、それによりその分子が適所に保持され、ソースとドレインと電氣的に接触し、絶縁層によってゲートから分離される。

【0013】本発明のもう1つの実施形態は、ドーブした半導体または金属からなるソースおよびドレインと、ソースおよびドレインと電氣的に接触し、絶縁体によってゲートから分離された閉ケージ構造を有する分子を含むチャネルとを含む超小型電子素子を対象とする。

【0014】

【発明の実施の形態】本発明者は、フラーレンやその誘導体などの閉ケージ分子 (closed cage molecules) が超小型電子素子に使用できることを発見した。「閉ケージ分子」という言葉は、原子が閉じた中空ケージ内に配列した直径100ナノメートル未満、より好ましくは直径7ナノメートル未満の分子を意味する。その寸法は、10~1000原子サイズの分子レンジ内にあることが好ましい。本発明において使用される閉ケージ分子のサイズは、好ましくは直径約0.4~約100nm、より好ましくは直径約0.7nm~約20nmの範囲である。

【0015】ここで使用される閉ケージ分子は、ダイヤモンドとグラファイトを含まない。例には、後で定義するようなフラーレン、そのシリコン等価物、およびそのいずれかの誘導体がある。具体的には、本発明者は、これらの分子が、きわめて少ない電流で動作するメモリと論理機構を実現するきわめて制御しやすいかつ再現しやすい方法を可能にし、従来の電子回路に必要とされていた強い非線形性を有し、通常の統計的変動の影響をあまり受けないことを発見した。

【0016】フラーレンは、最近発見された新しい種類の分子である。フラーレンは集まって、閉ケージ構造内に偶数個の炭素原子を有する分子だけからなる分子結晶であるがグラファイトでもダイヤモンドでもない炭素の第3の形態となる。最も安定なフラーレンは、少なくとも60の炭素原子を含み、900またはそれ以上の炭素原子を含むこともある。例には、 C_{60} 、 C_{70} 、 C_{76} 、 C_{84} 、 C_{90} 、 C_{120} 、 C_{240} などがある。Nature 1985、318、162~164に記載されているように、スマレー (Smalley) とクトロ (Kroto) 他により、アルゴン雰囲気中でグラファイトのレーザ照射により、バックミンスターフラーレンとして知られる C_{60} が発見された。しかしながら、1990年になって初めて、フッフマン (Huffman) とクラツマー (Kratschmer) により、巨視量の C_{60} などのフラーレンが作成された。クラツマー他により、Nature、1990、347~354~368に記載されているように、彼らは、グラファイトをヘリウム中で抵抗加熱によって蒸発させて C_{60} 分子を含むすすを形成し、すすの炭素を収集して C_{60} を純化するか、無極性有機溶媒によっ

て C_{60} を抽出した。それ以後、フラーレンは、スマレー (Smalley) 他に与えられた米国特許第5227038号、シムラ (Shimura) 他に与えられた米国特許第5271890号、ハワード (Howard) 他に与えられた米国特許第5273729号、トサントリゾ (Tsantrizos) 他に与えられた米国特許第5395496号、ブンシャ (Bunshah) 他に与えられた米国特許第5316636号、スマレー (Smalley) 他に与えられた米国特許第5556517号などの様々な技法により作成されており、これらのすべての内容は、参照により本明細書に組み込まれる。

【0017】フラーレン分子では、偶数の炭素原子が、閉じた中空ケージを形成するように配列される。各原子は、12個の五角形とn個の六角形からなる多角体網を構成するボンドによって隣りの3つの原子と三角に連結される。フラーレン C_{60} では、たとえば、60個の原子がすべて球の表面にあり、原子は切頭二十面体の頂点にあつてサッカーボール・パターンを形成している。12個の五角形が、20個の連結六角形と分離されて対称的に散在し、サッカーボール・パターンを形成している。

【0018】フラーレンの4つの炭素原子価のうちの3つは sp^2 混成化され、4つ目のp電子は、分子の外側 (エンド) と内側 (エキソ) 面をカバーするp非局在化分子軌道海 (sea) にある。

【0019】以上説明した中空閉ケージ構造の他に、炭素の小チューブまたはナノチューブと呼ばれる細長いフラーレンも作成された。これは、本質的に、自分自身で閉じるように巻かれた純粋なグラファイトのシートである。ナノチューブは、単一原子層でまたは多数の同心円筒の形で成長することができる。炭素小チューブは、大部分が、六角形と五角形の半球状炭素キャップで終端する。このような多壁ナノチューブは、電極の領域に見られ、一方、前述のフラーレンのような単壁ナノチューブは、電極から離れた所で凝縮したすす中に見られる。たとえば、参照により内容が本明細書に組み込まれベスン (Bethune) 他に与えられた米国特許出願5424054号を参照されたい。

【0020】さらに、フラーレンのもう1つの形態では、数百万もの炭素原子が自己配列して、入れ子式の同心フラーレン・シェルのタマネギの皮を形成し、入れ子になった各シェルの半径は、3Åでありまたはその下のシェルよりも大きい。大きなシェルは、前述のような五角形と六角形のよく知られたパターンで結合された数千の炭素原子からなる (今後、そのような構造を「オニオン」と示す)。

【0021】フラーレンの誘導体は、周知である。たとえば、そのような誘導体は、様々な形で水素化し、メチル化し、フッ素化し、またはアンモニア化することができる。これらの誘導体は、1つの原子または一群の原子がケージの外側に付着されるエキソヘドラル複合体を形

(5) 000-156423 (P2000-9(23

成することがある。さらに、そのような誘導体は、たとえばランタン、カリウム、カルシウム、セシウムなどの金属原子が内側にトラップされるエンドヘドラル複合体を形成することもある。たとえば、参照により内容が本明細書に組み込まれた、スマリー他に与えられた米国特許第5300203号とリーバー (Lieber) 他に与えられた米国特許第5196396号を参照されたい。これにより、金属をドーブしたフラーレン、アルカリをドーブしたフラーレン、およびドーブしたナノチューブが作成された。

【0022】これらの様々なフラーレンとその誘導体はすべて、本発明の範囲内で使用されるように企図される。本明細書で使用されるフラーレン類という用語は、以上のすべてのフラーレンとその誘導体を意味する。本明細書で使用される「フラーレン」という用語は、少なくとも60個の炭素原子を含み炭素原子だけを含む閉ケージ分子を意味する。誘導体は、この基本形態から誘導した構造である。

【0023】これにより、フラーレン類は、商業的に作成され、あるいは前述の特許の教示を利用する当技術分野で認識された技術によって作成される。実際には、様々なフラーレン類製品がBUCKY USAから市販されている。例には、 C_{60} 、 C_{70} 、 C_{76} 、 C_{78} 、 C_{84} などのフラーレン類製品がある。金属エンドヘドラル (たとえば、金属@ C_{2n} 。ここで n は30以上であり、L

a、Er、Gd、Ho、Ndのような金属を利用する—たとえば $Ho@C_{82}$)、多壁と単壁のナノチューブ、化学的に変成したフラーレン (たとえば、N-メチルフラーロピロリジンなどのフラーロピロリジン、N-エチル-ポリアミノ C_{60} 、フェロセニルフラーロピロリジン、フラーレノール (C_{60} ポリヒドロキシ)、メタノフラーレン C_{61} カルボン酸、N-メタノフラーレンカルボン酸 (C_{61}) のフェニルアラニンエチルエステルなど)、フラーレンオキサイド (たとえば、 $C_{60}O$ 、 $C_{70}O$ など) などが作成されており、市販されている。好ましいフラーレン類は、特に C_{60} と C_{70} のフラーレンである。

【0024】フラーレン類は、結晶体を形成する。また、フラーレン類は、エレクトロルミネセンス特性を有し、昇華することができ、 SiO_2 薄膜中に分散させることができ、少なくとも6つまで電子を受け取ることができる。しかしながら、最も重要なことに、本発明者が、これらの分子が、電子の蓄積および輸送の媒体として働くことができる、正確なサイズのナノ粒子において所望の多くの特性を有することを発見した。より具体的には、フラーレン類が適切なクーロン遮断機能を有し、超小型電子素子に使用するのに適した分子サイズであることを発見した。たとえば、次の表に、一般的な形態のいくつかのフラーレン類とその誘導体のサイズをまとめて示す。

【表1】

フラーレン類化合物	最大寸法または直径 (nm)	固体の格子定数 (nm)
C_{60}	0.7	1.416
C_{70}	1	
C_{84}	1	1.58
La, Er, Gd, Ho, Nd など@ C_{82}	1	
Rb_2CsC_{60}		1.443
タマネギ	4~5	
ナノチューブ	最小直径1~10 nm ×長さ 10^3 nm	

【0025】さらに、フラーレン類は、分子表面にダングリグ・ボンドを持たず、優れた導電特性を示す。

【0026】さらに、発明者は、対応するシリコンの閉ケージ分子が、前述のフラーレン類と類似の特性を示すことを発見した。最も好ましいシリコン類似体は、 Si_{28} 、 Si_{45} などである。フラーレン類と同様に、これらのシリコン化合物は、小さく、後で述べるような望ましいサイズを有する。

【0027】これらのシリコン・フラーレンは、当業者に周知の技法によって作成される。たとえば、シリコン・フラーレンの作成の模範的な例を示す、R. カマラカン (Kamalakaran) 他による、J. Phys. Condens Matt

er, 1995年、7、pp. L529~L535を参照されたい。

【0028】以下に、本発明を様々な実施形態で例示する。これらの実施形態は、特定のフラーレン分子を利用するが、これらの例は、本発明を制限するものではない。本明細書で定義するように、具体的に示したものの代わりに他の閉ケージ分子を使用できることを理解されたい。

【0029】図1は、フラーレン類を利用する本発明の実施形態を示す。これは、本発明の1つの実施形態によるメモリ・セルの断面を示す。メモリ・セルは、半導体基板 (2) と、ソースからドレインまで延びるチャネル (5) によって互いに分離されたソース (3) とドレイ

(6) 000-156423 (P2000-@23)

ジ(4)として示された基板の領域を含む。基板は、通常、超小型電子素子に使用される半導体材料からなる。そのような半導体材料の例には、シリコン、ゲルマニウム、ヒ化ガリウム、ヒ化インジウム、炭化ケイ素、リン化インジウムなどがあるが、これらに制限されない。基板(2)のきわめて好ましい材料は、シリコンである。基板は、この技術分野において従来から使用されているドーパント材料を含んでもよい。

【0030】周知のように、キャリアは、オーバーレイ層(6)の絶縁材料との界面と隣接する薄い領域においてのみ、ソース(3)とドレイン(4)を接続するチャネルを横切って送られる。ソース(3)領域とドレイン(4)領域は、拡散やイオン注入など、当技術分野で周知の従来の処理技術によって形成される。ソース(3)およびドレイン(4)領域は、同じドーパント材料を基板にドーパすることにより形成されるが、このドーパント材料は、基板(2)のドーパント材料と異なる。ドーパント材料は、超小型電子素子に従来から使用されているものである。したがって、ソース(3)およびドレイン(4)領域は、同じ不純物タイプを有し、それは、基板の不純物タイプと逆である。すなわち、基板がp形るとき、ソース領域とドレイン領域はn形であり、FETは、nチャネル素子である。基板がn形るとき、ソース領域とドレイン領域はp形であり、FETはpチャネル素子である。ソース・チャネル・ドレイン領域を有するシリコン・オン・インシュレータは、本発明が企図するタイプのメモリ・セルである。

【0031】チャネル領域(5)の上でかつソース領域(3)とドレイン領域(4)の間に絶縁層(6)が形成される。これは、一般に、当技術で従来から使用されている材料からなる。適切な絶縁材料は、 SiO_2 、 Si_3N_4 、 TiO_2 、 Al_2O_3 、それらの混合物、その組合せなどであるが、それだけに制限されない。好ましい絶縁材は、 SiO_2 である。絶縁材料は、チャネル領域(5)との界面において低い電荷キャリア・トラップ密度を有する。絶縁体層の厚さは、通常、約0を超え約6nmまでであり、より好ましくは約3nmの薄さである。

【0032】制御ゲート領域(7)は、絶縁層(6)の上の前記ドレインとソースの間に重ねられた層に形成される。ゲート(7)は、チャネル領域の電流の流れを制御する。一般に、これは、絶縁層の上に付着される多結晶シリコン層である。ゲート層は、一般に、良導体になるように不純物が多量に拡散される。制御ゲートは、一般に、ドーパされた多結晶シリコンを使用して形成されるが、タングステン、ケイ化タングステン、窒化タングステン、窒化チタンなどの金属導体を含むこともできる。これは、基板内の比較的低い導電率のチャネル領域が他方の極板としてはたらくキャパシタの一方の極板としてはたらく。ゲートは、FETを「オン」または「オ

フ」する効果を有し、メモリをプログラムする。

【0033】絶縁層は、前述のように、中に溶解したフラーレン類(8)などの少なくとも1つの閉ケージ分子を含む。閉ケージ分子は、電子の受容体としてはたらく。たとえば、 C_{60} の場合はその中に6つもの電子を配置しすなわち蓄積することができる。

【0034】図2に、本発明のメモリ・セルのこの実施形態の動作を示し、nチャネル素子の場合、ワード線20が制御ゲート(7)に接続され、ビット線18がドレイン(4)に接続され、ソース線18'がソース(3)に接続される。データは、ビット線18とソース線18'を接地してワード線20に第1の電荷電圧を印加することによりメモリ・セルに書き込まれる。第1の電荷電圧は、約5ボルト未満であることが好ましい。

【0035】データがメモリ・セルに書き込まれた後、電圧は、ワード線、ビット線およびソース線から切り離され、電荷がメモリ・セルに残る。メモリ・セル内の電荷(すなわちデータ)の存在は、しきい値電圧、すなわち素子の導通状態をセンスすることによって検出される。これが、素子の読取りサイクルである。ビット線18の読取り時間中に電流がセンスされるとき、電荷は、フラーレン類などの閉ケージ分子(8)内に電荷はない。読取り時間中にきわめて小さな電流がセンスされるときは、フラーレン類などの閉ケージ分子(8)内に電荷が蓄積されている。フラーレン類などの閉ケージ分子(8)内の電荷の存在は、必要に応じてメモリ・セル内のデータ値1または0を表す。閉ケージ分子は特定数の電子を蓄積することができ、たとえば、 C_{60} などの一定のフラーレン類に、6つまで電子を蓄積することができる。 C_{60} など、このようなタイプのフラーレン類は、最大6つの導通状態を含み、データ、すなわち0、1、2、3、4および5を記憶するために使用される。

【0036】データは、大地などの低電圧にワード線20を接続している間に、ビット線18とソース線18に第1の電荷電圧と実質上等しい消去電圧を印加することによって閉ケージ分子から消去される。

【0037】本発明によるメモリ・セルの適切な動作は、トンネル効果による電荷キャリアの閉ケージ分子へのトンネリングが、書込みと読取りサイクルの条件下で閉ケージ分子からでるトンネリングよりも高速であるという事実依存する。

【0038】メモリ・セルは次のように機能すると思われるが、それに拘泥するものではない。十分な正電位がゲート電極に印加されると、この正電位が、半導体上に負電荷を静電的に引き付け、基板の表面から多数キャリアの正孔を反発するようにはたらく。ゲートに印加された電位が高くなると、絶縁層と基板の界面の少数キャリア電子の濃度が高くなりすぎ、最終的に、これは、多数キャリアの正孔の密度に匹敵するようになる。十分に大きな電位がゲートに印加された場合、表面の電子の密

(7) 000-156423 (P2000-023)

度は、正孔の密度を超え、いわゆる反転層が生成される。絶縁層と半導体の界面における反転電荷が、ソースとドレインの間に接続チャネルを提供するため、これらの2つの電極の間の電位差により、それらの電極の間に電流Iが流れる。その場合、素子は、ON状態にあると言われ、伝導を可能にするために必要なゲート電圧は、しきい値電圧として知られる。(反転する前、チャネル内に伝導はなく、したがって電流が流れることができず、素子はOFFであると言われる)。

【0039】素子がONのとき、直接トンネル効果により反転層から閉ケージ分子まで電子の注入が行われ、すなわち、電子が、誘導されてソース電極から到着する。その結果蓄積された電荷が、ゲート電荷をスクリーニングし、反転層内の伝導を減少させ、すなわち、閉ケージ分子に加えられる各電子ごとに、基礎媒体の伝導が変化する。換言すると、素子のしきい値電圧が有効に正の方にシフトされる。電荷の量は、ゲートに印加された特定のゲート電圧において、ソースとドレイン(電子リザーバ)間の電流を確認することにより検出される。N個の電子の蓄積によるしきい値電圧の電荷は、次の方程式で与えられる。

【数2】

$$\Delta V_T = \frac{eN}{\epsilon_{ins}} \left(t_{cntl} + \frac{1}{2} \frac{\epsilon_{ins}}{\epsilon_{nano}} \phi_{nano} \right)$$

【0040】ここで、 ΔV_T は、しきい値電圧の変化である。Nは、直径φナノメートルの閉ケージ分子に蓄積される電子の数であり、eは、電子電荷の大きさであり、 ϵ は、誘電率であり、 ϵ_{ins} は、絶縁層の誘電率であり、 ϵ_{nano} は、閉ケージ分子の誘電率であり、 t_{cntl} は、閉ケージ分子の上の絶縁層の厚さであり、φ_{nano}は、閉ケージ分子の直径である。半導体チャネル内にN個の電子があることにより制御できる電流電荷(1)の量は、次の方程式で近似的に与えられる。

【数3】

$$I = ev_f \frac{N}{t_{nano}}$$

【0041】ここで、 t_{nano} は、閉ケージ分子とチャネルの間の制御距離であり、 V_f は、nAを超える電流を有する、ほぼフェルミ速度のチャネル内の輸送の制御速度である。

【0042】方程式に示したように、絶縁体の厚さは、しきい値電圧と電流電荷の両方に影響を及ぼす。絶縁体の厚さは、きわめて小さいことが好ましい。たとえば、約数ナノメートル、あるいは0を超え約20nmまで、より好ましくは0を超え約10nmまでの範囲の、サイズが閉ケージ分子と類似のいくつかの単層だけでもよい。

【0043】また、そのような寸法では、クーロン効果がきわめて重要である。クーロン充電エネルギー ΔV は、次の通りである。

【数4】

$$\Delta V = \frac{e}{2C_{nano}}$$

【0044】ここで、eは、1つの電子の電荷であり、 C_{nano} は、閉ケージ分子のキャパシタンスである。閉ケージ分子のサイズがきわめて小さいため、すなわち約1ナノメートルであるため、そのキャパシタンスは、きわめて小さくなる。その結果、閉ケージ分子上に電子を配置するのに必要なエネルギーは大きくなり、たとえば、室温の電子の熱エネルギーよりも大きくなる。そのような条件では、材料を通る電子の伝導は、電子が十分なエネルギーを持たないため、測定可能な電圧範囲に関して遮断される。したがって、閉ケージ分子は、クーロン遮断を示す。

【0045】メモリに使用される本発明の半導体素子は、当技術分野で周知の技法を利用して作成される。たとえば、 SiO_2 などの薄い絶縁層を基板のシリコン表面に成長させる。絶縁層の厚さは、約1〜約10nmの範囲であり、より好ましくは約1〜約3nmである。その上に、たとえば C_{60} などのフラーレンや閉ケージ分子の単一層が付着される。これは、閉ケージ分子の単一層を昇華付着するか、または液相または気相から絶縁層上に付着させることによって達成される。その上に、もう1つの絶縁層が付着される。閉ケージ分子を覆う絶縁体上に多結晶シリコンか金属ゲートが付着され、ゲートが、当技術分野で周知の技法によってパターン形成される。素子内の電気接続とドレインは、当業者に周知の技法によって形成され相互接続される。この方法により、本発明のメモリ・セルが作成される。

【0046】図3に、本発明のもう1つの実施形態を示し、これは、論理素子の断面図である。論理素子は、参照により組み込まれた前述のメモリ・セルと同じような半導体基板(17)を含む。素子は、閉ケージ分子(14)が配置された基板内の凹部またはギャップ部分にあるチャネルによって分離されたソース(10)とドレイン(11)を有する。ギャップ部分は、ほぼ閉ケージ分子(14)の寸法でありかつ閉ケージ分子と適合するのに十分な大きさである。チャネルは、閉ケージ分子からなる。この場合も、他の実施形態と同じように、ソースとドレインは、第1のタイプの不純物がドーパされた半導体材料からなる。ギャップ部分は、第2のタイプの不純物がドーパされた前記半導体材料からなるシリコン・ウェハ内に凹まされ、このドーパント材料は、ソースとドレインのドーパント材料とは異なる。利用されるドーパント材料と基板(17)は、超小型電子素子に由来から使用されているものである。

(8) 000-156423 (P2000-磯横)

【0047】他の実施形態と同様に、ソース(10)とドレイン(11)は、通常、たとえば、約 $0.8 \times 10^{18} / \text{cm}^3$ 〜約 $3 \times 10^{20} / \text{cm}^3$ など、超小型電子素子のソースとドレインに通常利用されている濃度で、この分野で通常使用されている材料が高濃度にドーパされる(n形またはp形)。代替方法として、タングステンなどの金属で作成することもできる。

【0048】前の実施形態と同じように、3つの層がある。ソース(10)とドレイン(11)とチャネルが下層であり、絶縁層(13)が中間層であり、ゲートが上層(16)である。絶縁層(13)は、チャネルの上に重ねられ、閉ケージ分子(14)を含む。しかしながら、前の実施形態と異なり、チャネルの幅はきわめて小さく、すなわち、チャネル領域は、約 0.05 nm 〜約 50 nm の幅を有し、より好ましくは約 0.05 nm 〜約 2 nm の幅を有する。さらに、凹部は、ほぼ閉ケージ分子の直径のサイズ、すなわち約 0.4 nm 〜 100 nm 、より好ましくは約 0.4 nm 〜約 50 nm 、さらに好ましくは約 0.7 〜約 20 nm でチャネル領域内に作成される。凹部は、使用される閉ケージ分子とほぼ同じサイズであり、閉ケージ分子を適所に保持するはたらきをする。したがって、たとえば、閉ケージ分子が C_{60} の場合、凹部は、サイズ(直径)が約 0.7 nm でなければならない。閉ケージ分子が C_{70} の場合は、サイズ(直径)が約 1 nm になる。一方、閉ケージ分子がナノチューブならば、凹部のサイズは約 5 〜 10 ナノメートルになる。

【0049】この実施形態では、閉ケージ分子が絶縁層によって囲まれる前述の実施形態と異なり、閉ケージ分子は、ドレイン(11)とソース(10)の両方と電気的に接触し、チャネルを形成する。ゲート(16)が既に存在する基板(17)が使用される。たとえば、(メモリ・セルに関して前に説明した)シリコン・オン・インシュレータが通常使用される。閉ケージ分子(14)の付着前に、凹部とゲート(16)の上にゲート酸化物(15)を形成することが好ましい。

【0050】ゲート酸化物は、 SiO_2 などの半導体に従来から使用されている材料からなる。ゲート酸化物がある場合、ゲート酸化物層は、好ましくは 50 \AA 未満であり、より好ましくは約 10 \AA 〜約 40 \AA の範囲である。ゲート領域(16)は、ゲート酸化物層(15)によって閉ケージ分子から分離されているが、閉ケージ分子(14)と密接に電気容量接触している。これは、ソース(10)とドレイン(11)から電気的に分離される。ゲートは、耐熱性と共に非線形入出力特性を有する。

【0051】閉ケージ分子は、電圧が印加されるときにソースとドレイン間の電子の流れの制御を助けると思われるが、これに拘泥するものではない。ソースとドレインに閉ケージ分子が近づいた結果、閉ケージ分子を介し

て電子を流す必要がある。閉ケージ分子とそのキャパシタンスがきわめて小さいため、 $1/2 e^2/c$ (e と c は前に定義した)によって必要とされるクーロン・エネルギーがきわめて大きく、それにより適切な電圧が提供されるまで電子の流れが起きない。適切な電圧が印加されると、電子は、閉ケージ分子を介して流れる。たとえば、閉ケージ分子が、 C_{60} などのフラーレンのようなフラーレン類の場合は、異なる電圧条件下で6つまで電子が流れることができる。

【0052】論理セルは、当技術分野で周知の技術によって、まず半導体基板、たとえばシリコン半導体基板を作成することによって作成される。蒸着、注入、パターン形成など、当技術分野で周知の技術によってその上にゲートを形成する。酸化領域などの絶縁層を、当技術分野で周知の従来の技術を使用して半導体基板の表面に形成する。半導体基板に酸化物領域を形成する1つの方法は、成長によるものである。

【0053】さらに、その上にフォトレジスト・マスク層を付着させる。マスク層を、フォトリソグラフィ法などの当技術分野で周知の技術によって選択的にエッチングし、凹部を形成する。凹部内に、任意の介在酸化物と共に所望の量の閉ケージ分子を配置する。電極、すなわちソース、ドレインおよびゲートをシリコン・ウェハ上に形成し、電極を、当技術分野において周知の技術によって相互接続する。

【0054】図4〜図6に、本発明の追加の代替実施形態を示す。図4に、図3に示した前述の実施形態の変形を示す。論理セルは、前の実施形態と同様に半導体基板(30)を含む。基板の領域は、ソース(21)とドレイン(22)、ならびにソースとドレインを分離する基板内の凹部(ギャップ)(チャネル)からなる。ソース(21)および(22)電極は、前述のようなドーパした半導体または金属からなり、これらは共に、絶縁層(25)の上の層に配置され、後者は、図3に関して先に説明した絶縁材からなり、(23)は、閉ケージ構造の分子である。これは、前述の基板の凹部領域(「ギャップ」)にあり、伝導が行われるソース(21)とドレイン(22)と電気接触する。閉ケージ分子は、伝導するためのチャネルを形成する。この伝導は、絶縁体(25)の下の下層内にある場合があるゲート(24)によって制御される(図4を参照)。あるいは、この伝導は、図5に示したように、閉ケージ構造の分子の上の上層内にあるゲート(26)または2つのゲート(24)および(26)によって制御され、前者は、絶縁体の下の最下層内にあり、後者は、閉ケージ構造(23)の分子の上の最上層内にある(図6を参照)。

【0055】図1〜図6には、閉ケージ分子を1つだけを利用する本発明を示したが、本発明では、複数の閉ケージ分子の使用を企図する。しかし、閉ケージ分子の使用がFETを大きくする可能性があるため、利用する閉

(9) 000-156423 (P2000-%9823)

ゲージ分子の濃度に関して好ましい制限がある。当然ながら、この量は、利用するセルのタイプに依存する。メモリ・セルの場合、利用される閉ゲージ分子の数は、好ましくは約1～約100、最も好ましくは約1～約10、より好ましくは約1～約50の範囲である。一方、論理セルでは、1つの閉ゲージ分子を利用することが好ましい。

【0056】本明細書では、単数と複数が交換可能に使用されている。したがって、単数は複数を意味し逆も同様である。

【0057】まとめとして、本発明の構成に関して以下の事項を開示する。

【0058】(1) チャネル領域によって分離されたソース領域とドレイン領域を有する基板と、前記チャネル領域の上に重なる絶縁材料層と、前記絶縁材料層の上に重なるゲートとを備える電界効果トランジスタを含む超小型電子素子であって、前記絶縁材料が、閉じた中空シェルを有する少なくとも1つのゲージ分子を含み、前記ゲージ分子が、実質上、電子を伝導し、クーロン障壁を示すと共に、前記ソース領域と前記ドレイン領域とゲートの間にクーロン障壁を克服するのに十分な電圧が印加されたときに、ソース領域、ドレイン領域またはチャネル領域から少なくとも1つの電子を受け取って蓄積することのできる炭素原子またはシリコン原子からなる、超小型電子素子。

(2) 前記ゲージ分子が、フラーレン類または対応するシリコン分子である上記(1)に記載の超小型電子素子。

(3) 前記閉ゲージ分子のサイズが0.4～約100nmの範囲である上記(1)に記載の超小型電子素子。

(4) 前記フラーレン類が、フラーレン、フラーレンオキサイド、フラーレンの金属エンドヘドラル、フラーロピロリジン、メタノフラーレン、多壁または単壁炭素ナノチューブ、フラーレノール、オニオン、またはドーブしたナノチューブである上記(2)に記載の超小型電子素子。

(5) 前記閉ゲージ分子が、1～6個の電子を蓄積することができるフラーレンである上記(2)に記載の超小型電子素子。

(6) 前記閉ゲージ分子が、Si₂₈、C₆₀またはC₇₀である上記(2)に記載の超小型電子素子。

(7) 約0.4～約100nmの寸法の凹部を含むチャネル領域によって分離されたソース領域とドレイン領域を有する基板と、前記チャネル領域の上に重なる絶縁材料層と、前記絶縁材料の上に重なるゲートとを含むトランジスタを含む超小型電子素子であって、前記チャネルが、閉中空ゲージ構造を有し、前記閉ゲージの分子が、実質上、電子を伝導し、クーロン遮断を示すと共に、前記ソース領域と前記ドレイン領域の間に電圧が印加されたときに、ソース領域またはドレイン領域から少なくと

も1つの電子を受け取って送る機能を有する炭素原子またはシリコン原子からなり、前記閉ゲージ分子が、前記凹部内にはまるのに十分なサイズであり、ソース領域とドレイン領域の間に前記クーロン障壁を克服する十分な電圧を印加したときに電子を送ることができるようにゲート、前記ソース領域およびドレイン領域と電気接触する超小型電子素子。

(8) 前記ゲージ分子が、フラーレン類または対応するシリコン分子である上記(7)に記載の超小型電子素子。

(9) 前記ゲージ分子が、C₆₀、C₇₀またはSi₂₈である上記(7)に記載の超小型電子素子。

(10) 凹部を含むチャネルによって分離されたソース領域とドレイン領域を含む第1の層を有する基板と、ゲートを含む第2の層と、前記第1と第2の層の間に挟まれ絶縁材料からなる第3の層とを含むトランジスタを含む超小型電子素子であって、前記チャネルが、閉中空ゲージ構造を有する分子を含み、前記閉中空ゲージ分子が、炭素原子またはシリコン原子からなり、電子を伝導し、クーロン遮断を示すと共に、前記ソース領域とドレイン領域の間に電圧が印加されたときに、ソース領域またはドレイン領域から少なくとも1つの電子を受け取って送る機能を有し、前記閉ゲージ分子が、前記チャネルの前記凹部内にはまるのに十分なサイズであり、ソース領域とドレイン領域の間に前記クーロン障壁を克服するのに十分な電圧が印加されたときに電子を送ることができるように、ゲート、前記ソース領域およびドレイン領域と電氣的に接触し、前記電子の伝導が、前記ゲートによって調整される超小型電子素子。

(11) 前記ゲージ分子が、フラーレン類または対応するシリコン分子である上記(10)に記載の超小型電子素子。

(12) 前記ゲージ分子が、C₆₀、C₇₀またはSi₂₈である上記(10)に記載の超小型電子素子。

【図面の簡単な説明】

【図1】本発明によるメモリ・セルの断面図である。

【図2】本発明によるメモリ・セルのメモリ・セル回路の図である。

【図3】本発明による論理セルの断面図である。

【図4】本発明による論理セルの追加の実施形態の断面図である。

【図5】本発明による論理セルの追加の実施形態の断面図である。

【図6】本発明による論理セルの追加の実施形態の断面図である。

【符号の説明】

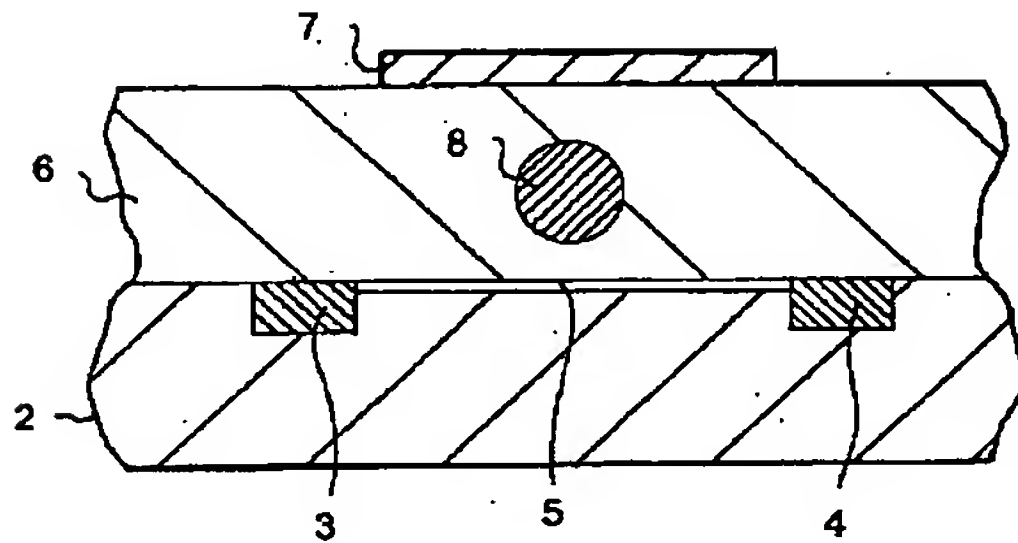
- 2 基板
- 3 ソース領域
- 4 ドレイン領域
- 5 チャネル領域

(10) 100-156423 (P2000-y23)

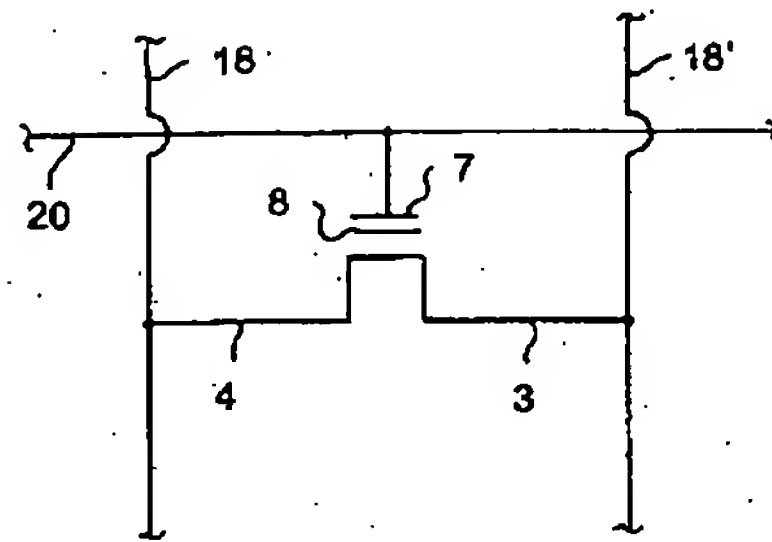
- 6 絶縁層
- 7 制御ゲート
- 8 閉ケージ分子
- 10 ソース
- 11 ドレイン
- 13 絶縁層
- 14 閉ケージ分子

- 15 ゲート酸化物
- 16 ゲート領域
- 17 基板
- 18 ビット線
- 18' ソース線
- 20 ワード線

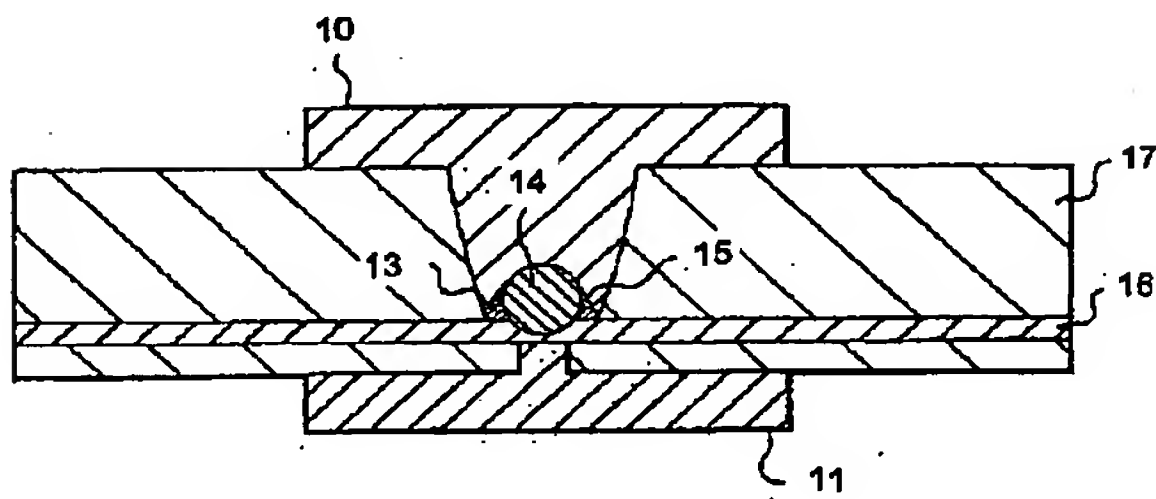
【図1】



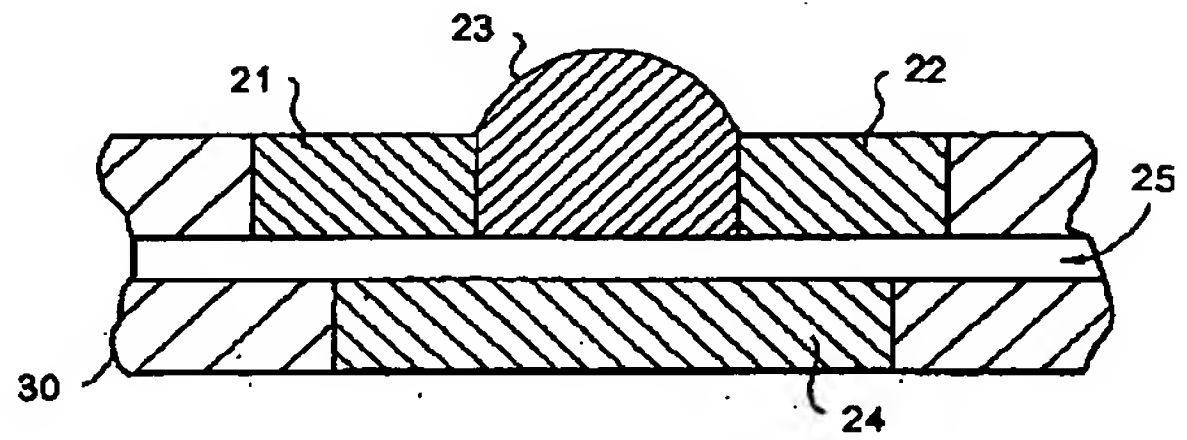
【図2】



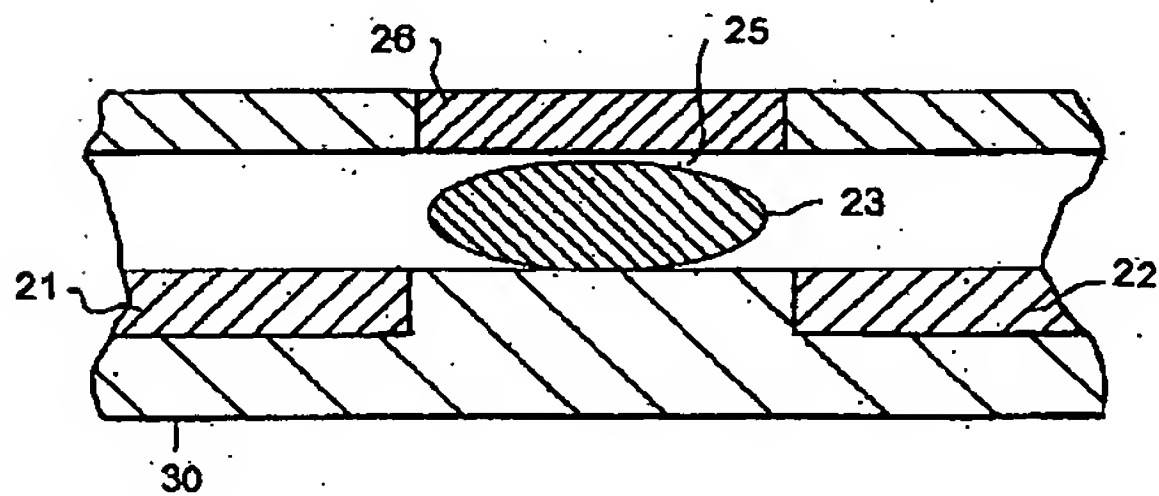
【図3】



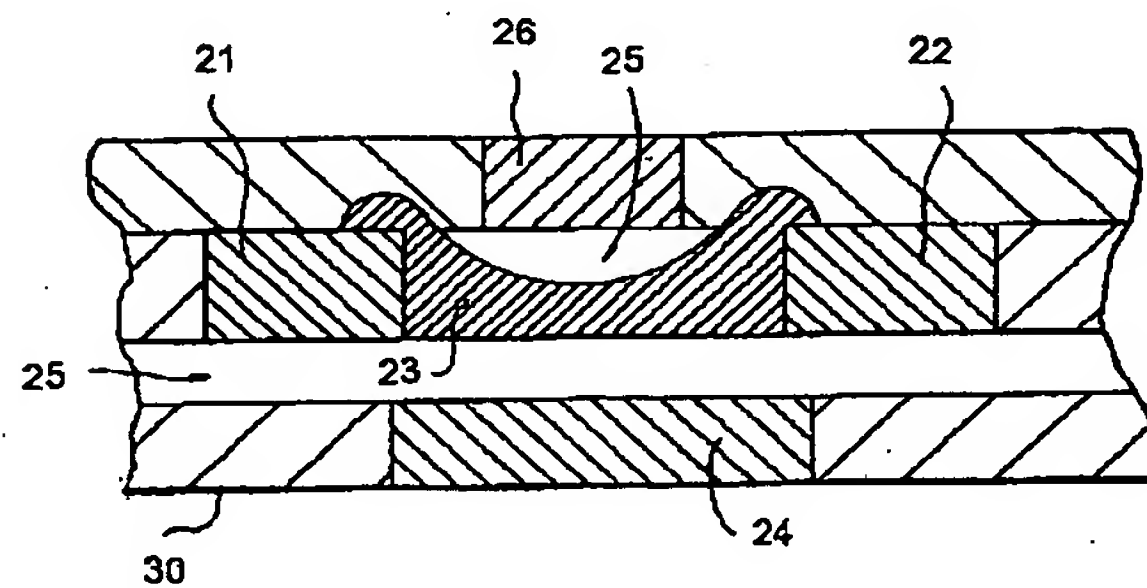
【図4】



【図5】



【図6】



フロントページの続き

(72)発明者 サンディプ・ティワリ
アメリカ合衆国10562 ニューヨーク州オ
シニング パインズブリッジ・ロード
791